

Modelagem e integração de um sistema embarcado em FPGA utilizando a interface Avalon para transferência e processamento de sinais de ultrassom

Modeling and integration of an FPGA embedded system using the Avalon interface for transfer and processing of ultrasound signals

Lucas Scherbaty

lucasscherbaty2013@gmail.com

Universidade Tecnológica Federal do Paraná, Curitiba, Paraná, Brasil

Amauri Amorin Assef

amauriassef@utfpr.edu.br

Universidade Tecnológica Federal do Paraná, Curitiba, Paraná, Brasil

RESUMO

A geração de imagens por ultrassom, por apresentar altas frequências de amostragem e, conseqüentemente, um grande volume de informações a serem transmitidas e processadas, torna-se um grande desafio para projetos em tempo real. Para enfrentar tal demanda, esse trabalho apresenta um sistema para a transferência de dados entre um processador NIOS II de 32 bits com um filtro FIR passa-faixa desenvolvido em uma arquitetura DSP baseada em FPGA. Logo, a interação com a arquitetura DSP para processamento em hardware traz alguns benefícios, como a possibilidade de implementação de comunicação Ethernet para a transferência dos dados brutos de aquisição. Para a validação experimental foram utilizados dois kits DE2-115 para a transferência de 2000 words de dados. O processo de interação com a arquitetura DSP desenvolvida a partir da biblioteca DSP Builder/Simulink para transmissão e processamento efetivo de dois pacotes de 2000 bytes foi de 2,8 ms. A velocidade para o processamento completo foi limitada a 1,4 MB/s. O projeto ocupou 13% dos elementos lógicos de hardware da FPGA. Dessa forma, o trabalho que teve como objetivo modelar um sistema de transferência de dados entre um processador embarcado em FPGA e uma aplicação DSP de filtragem digital foi concluído com sucesso.

PALAVRAS-CHAVE: FPGA. DSP Builder. Interface Avalon. NIOS II. Filtro Passa-Faixa.

ABSTRACT

Ultrasonic imaging, because it has high sampling frequency and hence a large volume of information to be transmitted and processed, becomes a major challenge for real-time projects. To address this demand, this work presents a system for transferring data between a 32-bit Nios II processor with a band pass FIR filter developed in an FPGA-based DSP architecture. Therefore, the interaction with DSP architecture for hardware processing brings some benefits, such as the possibility of implementing Ethernet communication for the transfer of raw acquisition data. For the experimental validation, two DE2-115 kits were used for the transfer of 2000 data words. The process of interaction with the DSP architecture developed from the DSP Builder/Simulink library for transmission and effective processing of two 2000-byte packets was 2.8 ms. The speed for full processing was limited to 1.4 MB / s. The project occupied 13% of the logical hardware elements of the FPGA. Thus, the work that aimed to model a data transfer system between an FPGA embedded processor and a digital filtering DSP application was successfully completed.

KEYWORDS: FPGA. DSP Builder. Avalon interface. NIOS II. Band passfilter.

Recebido: 28 ago. 2018.

Aprovado: 04 out. 2018.

Direito autorial:

Este trabalho está licenciado sob os termos da Licença Creative Commons-Atribuição 4.0 Internacional.





INTRODUÇÃO

Tendo em vista a necessidade da elaboração de plataformas abertas para o estudo e desenvolvimento acadêmico na área de processamento digital de sinais ultrassom, o processo de interação entre plataformas se torna de suma importância pois permite um desenvolvimento por partes, sendo que a aquisição e interpretação dos dados incentiva e possibilita que novas ideias sejam implementadas. Definido essa premissa, tem-se como objetivo a interação entre a biblioteca DSP *Builder* do Matlab com o processador NIOS II. Essa interação traz como vantagem a utilização de bibliotecas nativas no Qsys para comunicação Ethernet entre kits, como a utilização de uma plataforma DSP (*Digital Signal Processor*) para uma implementação em *hardware* de filtros digitais embarcados em circuitos FPGA.

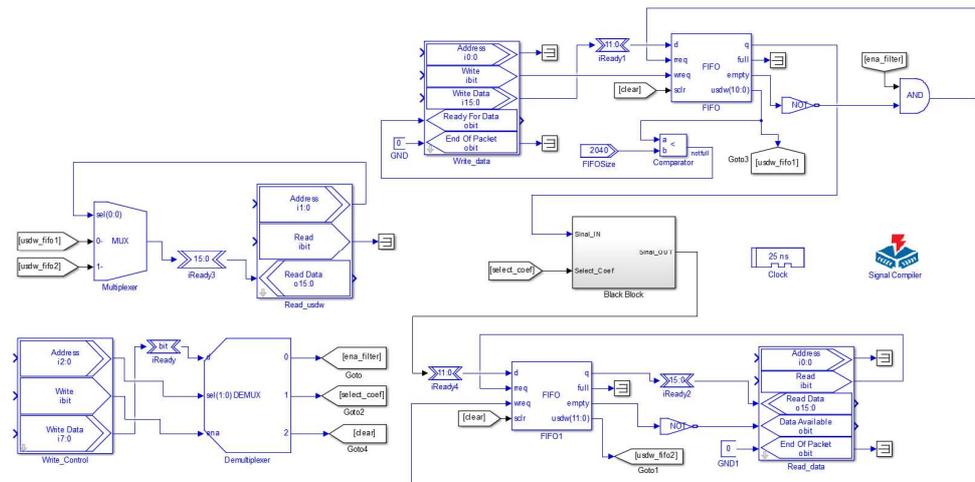
Seguindo a linha de pesquisa desenvolvida no Laboratório de Ultrassom da UTFPR (LUS), há uma plataforma já montada para a aquisição dos dados ultrassom, mas por limitações de *hardware* a mesma não pode efetuar um processamento adequado dos sinais amostrados. Visando a necessidade do atendimento da taxa de transmissão requerida para o processamento em tempo real dos sinais de ultrassom, optou-se por escolher a comunicação Ethernet para atender essa demanda referente ao repasse de informações entre os kits. Tal comunicação pode chegar a 1 Gbit/s no kit da Altera DE2-115 disponível. Essa comunicação já possui um protocolo de verificação de falhas ou erros na transferência de dados chamada CRC (*Cyclic Redundancy Check*), tal protocolo tem origem na inserção de quatro *bytes* no pacote a ser transmitido, contendo o resto de uma divisão polinomial feita com os dados a serem enviados. Na recepção do pacote, esse cálculo é refeito e comparado com o CRC recebido, identificando assim dados corrompidos comumente provocados por ruídos na comunicação digital.

METODOLOGIA

Para que a arquitetura DSP desenvolvida na biblioteca do Matlab possa realizar a filtragem dos sinais, precisa-se os parâmetros dos sinais disponíveis de uma forma em que para cada *clock* do dispositivo DSP, uma nova amostrada esteja disponível. Levando em consideração que a velocidade que o processador consegue atualizar essas amostras seja desconhecida, há a necessidade da implementação de memórias FIFO para que estas sejam carregadas pelo processador, e descarregadas através do *clock* independente da arquitetura DSP onde os filtros estão implementados, realizando assim o acoplamento entre *clocks* distintos.

Para tal demanda a ferramenta utilizada na biblioteca DSP Builder do Matlab chamada Avalon Block é o responsável pelo repasse de informações do processador NIOS II para a memória FIFO (*First In, First Out*) na arquitetura DSP. O bloco cria um barramento físico com um endereço de registro único, para que o processador possa acessá-lo de uma forma controlada e segura tornando-o uma ferramenta com alta confiabilidade no repasse dos dados. Para a ilustração dessa configuração a Figura 1 é apresentada.

Figura 1 - Diagrama em blocos do processamento dentro da arquitetura DSP



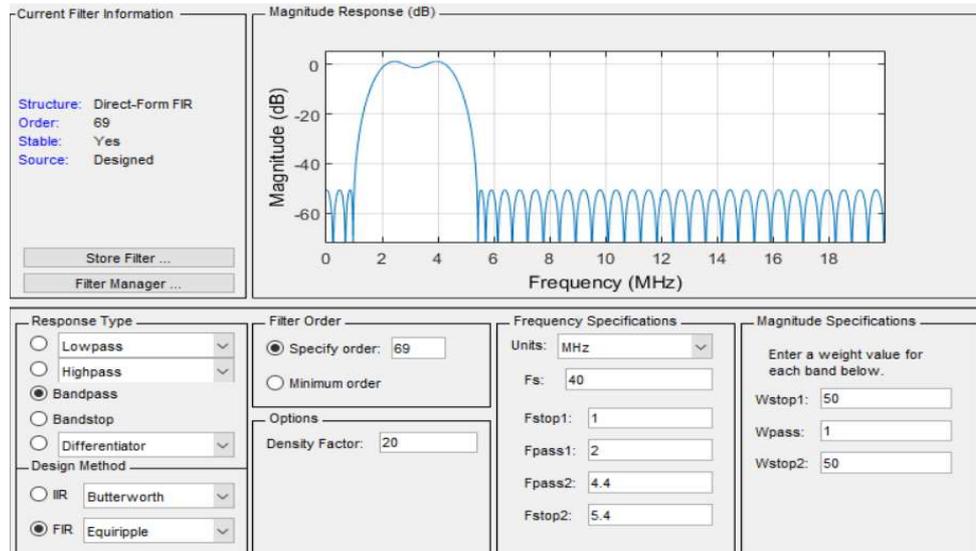
Fonte: Autoria própria (2018).

O bloco definido como Avalon, representado pelo bloco “Write_data”, fornece dados providos do processador NIOS II através do pino “Write Data”. Para que a FIFO não armazene valores repetidos do mesmo dado a cada ciclo de clock, o bloco Avalon faz um controle de fluxo, sendo que, a gravação na FIFO só é liberada através do pino “Write” quando a saída “Write Data” apresentar um novo valor disponível. Dessa forma, todo o período do sinal necessário para o processamento, é armazenado na memória. Logo, a liberação do processamento é feita através do pino “ena_filter” com o repasse da informação provinda do processador através de outro bloco Avalon “Write_Control”. Com a liberação desse processo, a segunda FIFO armazena o sinal filtrado e aguarda a requisição feita pelo bloco “Read_data”, que transmite o sinal filtrado para o processador finalizando o processo do dispositivo DSP.

O bloco de leitura “Read_usdw” dá acesso ao NIOS II para realizar a checagem da quantidade de espaço usado pelas memórias no instante da leitura. Essa opção em conjunto com a limpeza das memórias através do pino “clear”, pode ser útil para verificações e correções caso haja falhas ou problemas no carregamento das memórias.

Algo válido de se ressaltar envolve a aplicação usada para o teste do acoplamento de clocks. A caixa “Black block” apresentado na Figura 1, tem como composição um filtro FIR passa faixa. Para tal, o projeto do filtro feito pelo programa FDATool do Matlab, possibilita a exportação dos coeficientes necessários para a construção do filtro. A arquitetura do filtro foi feita explorando a simetria da resposta ao impulso do mesmo e, conseqüentemente, diminuindo pela metade a quantidade de multiplicadores necessários. A representação do projeto do filtro é demonstrada pela Figura 2.

Figura 2 – Projeto do filtro FIR baseado na frequncia fundamental do transdutor

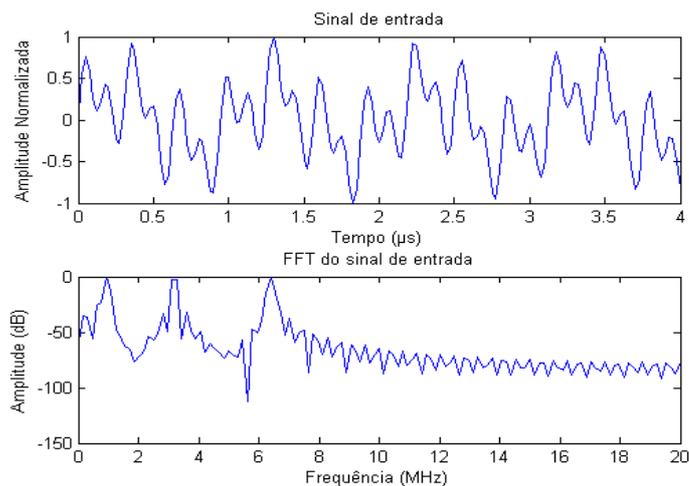


Fonte: Autoria prpria (2018).

RESULTADOS E DISCUOES

Para a validao do projeto, um sinal de entrada constituído pela soma de 3 senoides com frequências distintas de 1MHz, 3,2MHz e 6,4MHz, foram somadas e discretizadas com uma frequência de amostragem de 40 MHz. Essa frequência foi usada para o projeto dos filtros FIR e corresponde com a frequência do kit de aquisio desenvolvido em pesquisas passadas no laboratório. Os sinais de entrada e saída são mostrados pelas Figuras 3 e 4, respectivamente.

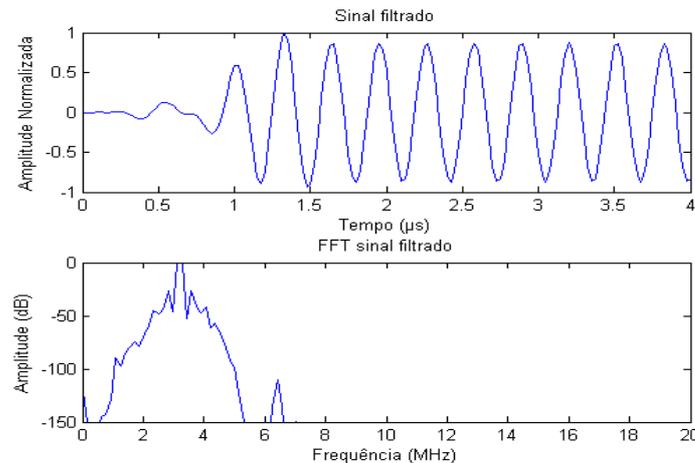
Figura 3 – Sinal de entrada e sua FFT



Fonte: Autoria prpria (2018).

Analisando a Figura 4, observa-se pela FFT que o sinal filtrado teve uma alta atenuao nos espectros de onda de 1 e 6,4 MHz. Esse resultado era esperado e respeitou o projeto do filtro FIR definido pela Figura 2.

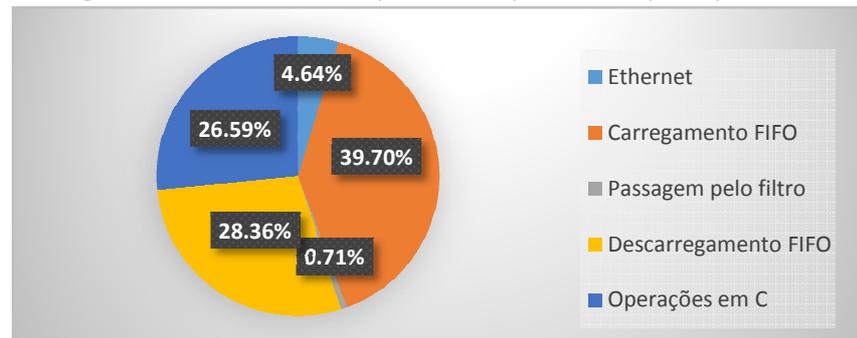
Figura 4 – Sinal de saída e sua FFT



Fonte: Autoria própria (2018).

Levando em conta o tempo efetivo de 2,8 ms para o processamento, a velocidade total foi limitada a 1,4 MB/s. Para um melhor entendimento, foi realizado algumas medições independentes referente ao tempo de execução de cada etapa do processo. A Figura 5 mostra o percentual do tempo necessário.

Figura 5 – Percentual do tempo utilizado por cada etapa do processo.



Fonte: Autoria própria (2018).

CONCLUSÕES

Definindo que uma imagem do sinal de ultrassom com 1 canal e com 126 linhas de varredura com comprimento de 4000 bytes, totaliza um tamanho de 504 KB por imagem. Logo, seria possível atingir uma taxa de 2,8 quadros por segundo para todo o processo. Apesar desse valor não atingir os requisitos de processamento em tempo real (20 - 30 quadros/s), pode-se analisar as etapas que tiverem os maiores impactos no tempo de processamento, concluindo que o tempo de carregamento e descarregamento das FIFOs feitas pela interface Avalon, foram às etapas com maior percentual de influência no processo, totalizando 68%. Para tentar deixar a quantidade de quadros por segundo dentro dos parâmetros de processamento em tempo real, novos estudos estão sendo realizados para otimizar o processo através da utilização de processadores mais velozes, como por exemplo, o ARM em FPGA. Dessa forma, conclui-se que o objetivo de modelar um sistema de transferência de dados entre um processador

embarcado em FPGA e uma aplicação DSP de filtragem digital foi realizada com sucesso.

REFERÊNCIAS

ALTERA. **Using Triple-Speed Ethernet on DE2-115 Boards**. Disponível em: <ftp://ftp.altera.com/up/pub/Altera_Material/15.0/Tutorials/DE2-115/>. Acesso em: 21 ago. 2018.

ALTERA. **Avalon Blocks in DSP Builder**. Disponível em: <https://www.intel.com/content/dam/altera-www/global/en_US/pdfs/literature/an/an403.pdf>. Acesso em: 21 ago. 2018.

ASSEF, A. A. **Arquitetura de hardware multicanal reconfigurável com excitação multinível para desenvolvimento e testes de novos métodos de geração de imagens por ultrassom**. 2018. 177 f. Tese (Doutorado) - Curso de Engenharia Elétrica, Universidade Tecnológica Federal do Paraná, Curitiba, 2013.

FERREIRA, B. M. **Modelagem e implementação de um sistema de processamento digital de sinais baseado em FPGA para geração de imagens por ultrassom usando Simulink**: Modeling and implementation of a FPGA-based digital signal processing for ultrasound imaging using Simulink. 2018. 113 f. Dissertação (Mestrado) - Curso de Engenharia Elétrica, Universidade Tecnológica Federal do Paraná, Curitiba, 2017.

DING, J. F.; XU, S.; ZHANG, J. X. **Filter Design Based on DSP Builder**. Electrical & Electronic Engineering Journal. Dalian, p. 15-20. set. 2015. Disponível em: <<https://benthamopen.com/contents/pdf/TOEEJ/TOEEJ-9-15.pdf>>. Acesso em: 21 ago. 2018.

AGRADECIMENTOS

Ao CNPq, FINEP, Fundação Araucária, CAPES, UTFPR e Ministério da Saúde pelo apoio financeiro ao desenvolvimento da pesquisa. Agradecemos também à empresa Intel Altera pela doação de kits de desenvolvimento.