

Comparação de técnicas de extração de tensão de limiar para finFETs de germânio

Comparison of threshold voltage extraction techniques for germanium finFETs

RESUMO

Isabella Cristina Scotta
Isahcs9@gmail.com
Universidade Tecnológica Federal do Paraná, Toledo, Paraná, Brasil

Alberto Vinicius de Oliveira
avdo@utfpr.edu.br
Universidade Tecnológica Federal do Paraná, Toledo, Paraná, Brasil

Esse manuscrito apresenta uma análise comparativa de métodos de extração de um parâmetro elétrico importante de Transistores de Efeito de Campo Metal-Óxido-Semicondutor (MOSFETs), o qual indica transição de estado, desligado para ligado, do dispositivo, conhecido como tensão de limiar. Para isso, três técnicas difundidas na literatura são utilizadas, a saber, corrente constante, extrapolação linear e segunda derivada, por meio de inspeção da curva transferência do transistor, ou seja, corrente dreno em função da tensão aplicada ao terminal de porta. O objeto de estudo deste trabalho é MOSFET de porta tripla do tipo enriquecimento de canal p (p-finFET) de canal de germânio. Neste contexto, dispositivos de diferentes comprimentos de canal e largura de aleta larga fixa são avaliados, a fim de verificar o efeito de canal curto na tensão de limiar, bem como da resistência série com a redução do comprimento de canal. Por fim, é mostrado que os métodos da extrapolação linear e da segunda derivada são mais confiáveis, devido à proximidade entre seus resultados.

PALAVRAS-CHAVE: Nanoeletrônica. Circuitos integrados. Semicondutores.

ABSTRACT

Recebido: 19 ago. 2020.

Aprovado: 01 out. 2020.

Direito autoral: Este trabalho está licenciado sob os termos da Licença Creative Commons-Atribuição 4.0 Internacional.



This manuscript presents a comparative analysis of the extraction methods of an important electrical parameter for the Metal-Oxide-Semiconductor Field-Effect Transistor (MOSFET), which indicates the transition from off-state to on-state, known as threshold voltage. Among all available methods in the literature, three of them are considered in this study: constant current, linear extrapolation and second derivative, which require the transistor drain current as function gate voltage curve. The devices under evaluation are the germanium enhanced mode p-finFETs. In this context, transistors with different channel lengths and fixed large fin width are evaluated in order to verify the short channel effect on the threshold voltage parameter, as well as the series resistance effects with the reduction of the channel length. Finally, it is shown that both linear extrapolation and second derivative methods are more reliable than the constant current since they present similar results.

KEYWORDS: Nanoelectronic. Integrated circuits. Semiconductors.

INTRODUÇÃO

Nas últimas décadas, muitos estudos foram concentrados para reduzir as dimensões de *Metal-Oxide-Semiconductor Field-Effect Transistors* (MOSFETs), a fim de aumentar a densidade em chips de circuitos integrados (HORIGUCHI, 2011; SHIN, 2016). Isso permitiu que aparelhos eletrônicos funcionassem cada vez mais rápido e com mais funcionalidades. No entanto, a redução geométrica dos MOSFETs também implica em um problema crítico, conhecido como efeito de canal curto, *Short Channel Effect* (SCE) (MARTINO, 2003), pois o controle de cargas de depleção na região do canal dos MOSFETs, que deve ser feito pelo terminal de porta, é afetado pelas regiões de depleção próximas aos terminais de dreno e fonte, uma vez que há redução do comprimento de canal do transistor. Por conta disso, o *fin Field-Effect-Transistor* (finFET) passou a ser introduzido na indústria, principalmente para aplicações em *microchips* de memória e processadores com tecnologia *Complementary Metal-Oxide-Semiconductor* (CMOS) (HORIGUCHI, 2011; HISAMOTO, 2000). Os finFETs são estruturas tridimensionais de múltiplas portas que têm melhor controle do SCE, uma vez que apresentam um acoplamento eletrostático mais aprimorado (CHIARELLA, 2010).

Atualmente muitos estudos estão sendo concentrados em finFETs, sobretudo aqueles com canal do tipo p de germânio (Ge), devido à sua maior mobilidade de portadores de canal quando comparado ao silício (Si), que é adequado para circuitos de alto desempenho (GEHLAWAT, 2018; TAKAGI, 2013). Além disso, entre os semicondutores, o Ge apresenta maior mobilidade de lacunas, tornando-o um material promissor para dispositivos p-FET (VAN DAL, 2014). Nesse cenário, os dispositivos Ge podem ser construídos sobre substrato de Si por processo epitaxial. No entanto, para essas camadas heteroepitaxiais, existem algumas estratégias que devem ser adotadas para reduzir a influência de defeitos estruturais na região de canal do MOSFET (VAN DAL, 2014; LOO, 2010; WITTERS, 2013). São exemplos de defeitos: *threading dislocation* (TD) e *misfit*. Estes defeitos podem danificar a interface Si/Ge devido aos diferentes parâmetros de rede e coeficientes térmicos dos materiais (VAN DAL, 2014; SIMOEN, 2009, 2011). Por sua vez, o TD pode provocar excesso de ruídos geração-recombinação de portadores (SIMOEN, 2009) e, assim, alterar parâmetros elétricos, por exemplo, a tensão de limiar V_{TH} (SIMOEN, 2011).

A V_{TH} é um parâmetro chave para MOSFETs e pode ser associada ao valor mínimo de tensão no terminal de porta para formar a região de inversão, em outras palavras, canal entre dreno e fonte (MARTINO, 2003). Este parâmetro é necessário para várias métricas de projeto de transistores e parâmetros de processo e pode ser afetado pelo SCE e por outros efeitos de segunda ordem, por exemplo, a resistência série, que pode estar ligada à diminuição do comprimento do canal (TYAGI, 2015). Dentro deste cenário, este trabalho tem como objetivo geral comparar três métodos de extração de V_{TH} para dispositivos p-finFETs de enriquecimento já abordadas anteriormente por Ortiz-Conde (2013). Como objetivos específicos destacam-se avaliar a influência do efeito de canal curto na tensão de limiar, bem como da resistência série com a redução do comprimento de canal, na faixa de 50 nm a 10000 nm, e largura de aleta de 100 nm.

REFERENCIAL TEÓRICO

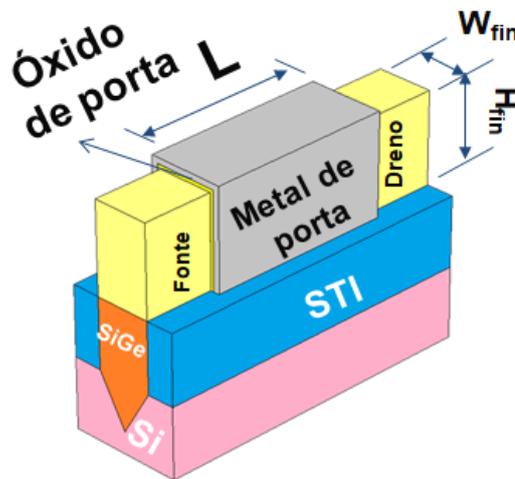
A fim de entender as abordagens deste trabalho, nesta seção são apresentados os conceitos de finFET, tensão de limiar e resistência série.

FINFET

A Figura 1 mostra a estrutura tridimensional básica de um finFET. As dimensões geométricas são L , que representa o comprimento do canal, W_{fin} é a largura de aleta e H_{fin} é a altura do finFET. A largura efetiva do canal (W_{ef}) do dispositivo pode ser incrementada usando-se múltiplas aletas (n) em paralelo (BHATTACHARYA, 2014) e é calculada por:

$$W_{ef} = n(W_{fin} + 2H_{fin}). \quad (1)$$

Figura 1 – Estrutura básica de um finFET



Fonte: Adaptado de Oliveira (2016).

Existem dois tipos de substrato que podem ser empregados na fabricação: o de corpo e o *Silicon-on-Insulator* (SOI). A principal diferença estrutural entre eles é: os dispositivos SOI são construídos sobre lâminas de silício sobre isolante (BHATTACHARYA, 2014).

TENSÃO DE LIMIAR

Para um dispositivo p-MOSFET de enriquecimento, a concentração de lacunas na camada de inversão é igual à concentração de elétrons no substrato quando a tensão no terminal de porta (V_G) atinge o valor de V_{TH} (MARTINO, 2003). Nesse ponto, o potencial de superfície ϕ_S é aproximadamente duas vezes o valor do nível de Fermi ϕ_F . No entanto, para finFETs, a camada de inversão é limitada quando o potencial de superfície está em $2\phi_F$, portanto, no começo da inversão forte, o potencial de superfície é levemente maior do que $2\phi_F$ (COLINGE, 2007). O valor de V_{TH} é dado por

$$V_{TH} = \frac{qN_D W_{fin}}{2C_{ox}} + 2\phi_F + \phi_{MS} - \frac{Q_{ss}}{C_{ox}} + V_{inv}, \quad (2)$$

onde q é a carga elementar do elétron; N_D é a concentração de impurezas aceitadoras do semiconductor do tipo P; C_{ox} é a capacitância do óxido de porta por unidade de área; Q_{ss} é a densidade de cargas efetiva no óxido de porta; ϕ_{MS} é diferença entre os valores de função trabalho do metal e do semiconductor e independe da polarização, apenas das características físicas; e V_{inv} reflete o potencial de superfície adicional à $2\phi_F$ para que existam cargas de inversão suficientes no canal que façam o dispositivo atingir o limiar (COLINGE, 2007).

RESISTÊNCIA DO CANAL

A resistência elétrica do canal (R_{CH}) do transistor, ou seja, entre as regiões de fonte e dreno, pode ser obtida de acordo com a lei de Ohm (VILLATE, 2014), como segue:

$$R_{CH} = \frac{\rho l}{A}, \quad (3)$$

onde ρ é a resistividade do material (do semiconductor do canal), l é o comprimento do condutor, neste caso é equivalente ao comprimento de canal L do dispositivo, e A é a área da seção transversal, que no contexto atual equivale ao produto da W_{fin} por H_{fin} .

MATERIAIS E MÉTODOS

Nesta seção são identificadas as características associadas ao finFET e suas principais dimensões. Além disso, são apresentados três diferentes métodos de extração da tensão de limiar.

CARACTERÍSTICAS DOS DISPOSITIVOS

Este trabalho é baseado em um estudo experimental de p-finFETs de corpo de Ge fabricados sobre uma lâmina de silício de 300 mm, por meio do processo isolamento por trincheira rasa antes (STI – *Shallow Trench Isolation*) no Imec, Bélgica (OLIVEIRA, 2016). As principais características dos dispositivos são apresentadas na Tabela 1.

Tabela 1 – Características dos p-finFETs de germânio analisados

| Parâmetro | Valor/característica |
|---------------------------------------------------|-------------------------------------------------------|
| $Si_{1-x}Ge_x$ | $x = 75\%$ |
| óxido de porta | 0,7 nm de SiO_2 +2,5 nm de HfO_2 |
| metal de porta (nm) | 5 (composição TiN) |
| W_{fin} (nm) | 100 |
| H_{fin} (nm) | 30 |
| L (nm) | 50; 90; 300; 1.000 e10.000 |
| quantidade de aletas em paralelo | 4 |
| concentração de dopantes no canal | $1 \times 10^{15} \text{ cm}^{-3}$ |
| concentração de dopantes na camada $Si_{1-x}Ge_x$ | $5 \times 10^{18} \text{ cm}^{-3}$ (dopante: fósforo) |

Fonte: Oliveira (2016).

Ressalta-se que não é escopo deste a caracterização elétrica dos dispositivos, mas analisar os dados obtidos por Oliveira (2016).

MÉTODOS DE EXTRAÇÃO DE TENSÃO DE LIMIAR

Neste estudo as técnicas de extração de V_{TH} abordadas são:

- Corrente Constante (CC), consiste em encontrar na curva I_D em função de V_G do dispositivo (MOSFET ou finFET), o valor de tensão no eixo x (tensão de limiar),

cujo valor de corrente seja igual a um fator z (em Ampère, A) (TYAGI, 2015; ORTIZ-CONDE, 2013), dado por:

$$z = \frac{W_{ef}}{L} 10^{-7}. \quad (4)$$

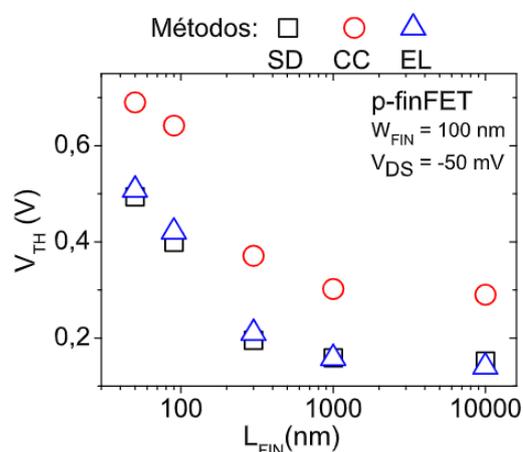
- b) Extrapolação Linear (EL), que necessita das curvas de corrente de dreno e de sua derivada, ou seja, da curva de transcondutância (gm), ambas em função de V_G . A partir disso, encontra-se o ponto máximo da curva de gm , traça-se uma linha vertical que intercepta este ponto e a curva I_D em função de V_G . Neste novo ponto, traça-se uma reta tangente (curva de corrente) de modo a cruzar com abcissa. O valor de tensão, no ponto de intersecção da reta tangente com o eixo x , é o valor de tensão de limiar do dispositivo (TYAGI, 2015; ORTIZ-CONDE, 2013; DOBRESCU, 2000); e
- c) Segunda Derivada (SD), resume-se em determinar o valor do ponto máximo (na abcissa) a partir da curva de segunda derivada de I_D em relação a V_G . Neste caso, o valor da abcissa deste ponto é igual ao o da tensão de limiar (ORTIZ-CONDE, 2013; DOBRESCU, 2000).

Vale ressaltar que, para os métodos EL e SD, um *software* matemático pode ser necessário para fazer a suavização das curvas derivadas. Além disso, para analisar os resultados experimentais, são considerados a influência de resistência do canal dada pela Eq. (3) e o erro relativo percentual entre os métodos (CUNHA, CASTRO, 2010), considerando o resultado do método SD como valor verdadeiro e os demais, como valor aproximado. Assim, dois erros relativos percentuais são avaliados: um entre os métodos de corrente constante e o da segunda derivada (CC-SD) e um outro, entre os métodos de extrapolação linear e o da segunda derivada (EL-SD).

RESULTADOS E DISCUSSÕES

A Figura 2 mostra a tensão de limiar em função do comprimento de canal para uma largura de aleta de 100 nm. Observa-se que para todos os métodos, um comportamento similar entre as curvas, ou seja, conforme o comprimento de canal diminui, a tensão de limiar desloca-se para valores mais positivos. Apesar da similaridade entre as curvas, os métodos SD e EL tiveram valores mais próximos, quando comparados ao método CC.

Figura 2 – Tensão de limiar em função do comprimento do canal para métodos de extração diferentes



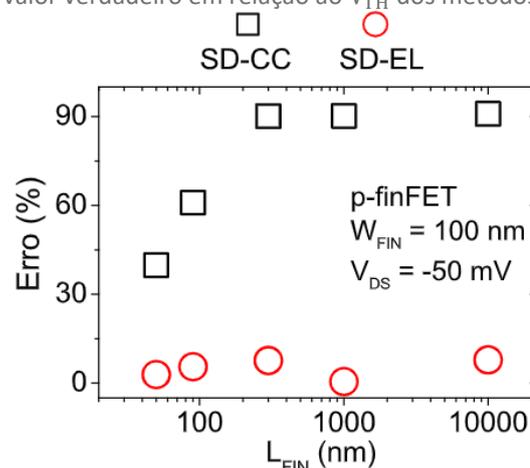
Fonte: Autoria própria (2020).

O valor de tensão de limiar em dispositivos de enriquecimento de canal do tipo P é tipicamente negativo (MARTINO, 2003; COLINGE, 2007). No entanto, a Figura 2 apresenta V_{TH} positivo. Um primeiro efeito que pode gerar esse resultado é a existência de uma fina camada de SiO_2 da estrutura dielétrica da porta que age como um dipolo dielétrico, funcionando como uma barreira de potencial (POURTOIS, 2007). Além disso, ao inspecionar a Eq. (2), levanta-se a hipótese de que a função trabalho do metal de porta pode não ser suficiente para que V_{TH} alcance valores negativos, uma vez que este valor está relacionado às características físicas do dispositivo, como a largura da faixa proibida, que é menor para o germânio do que para o silício, reduzindo o valor da afinidade eletrônica e de função trabalho do semiconductor ϕ_S (OLIVEIRA, 2016). Portanto, uma camada de metal de porta diferente de TiN deve ser utilizada. Outra hipótese é a influência da densidade de armadilhas na interface canal/óxido de porta que pode afetar o valor de Q_{SS} .

Os dispositivos MOSFETs e finFETs possuem resistências parasitas intrínsecas à sua estrutura nas regiões de fonte e de dreno. Com a redução do comprimento do canal, a resistência do canal (R_{CH}) diminui, como apresentado na Eq. (3), influenciando diretamente nas características I_D em função de V_G . Portanto, esta redução de R_{CH} favorece a predominância da resistência série das regiões de dreno e fonte (R_{SD}), a qual degrada a condução de corrente do dispositivo e reduz a queda de tensão efetiva na região de canal (LIN, 2010). Ou seja, o valor de V_{TH} sofre influência da resistência série, se o canal possuir uma resistência mais baixa do que R_{DS} . Desta forma, há um indício de efeito de R_{DS} em V_{TH} , uma vez que o valor de tensão de limiar variou com a diminuição do comprimento de canal, conforme ilustrado na Figura 2.

A partir da Figura 3, pode-se notar que o erro entre os métodos CC e SD é muito maior (máximo de aproximadamente 90%) quando comparado ao erro entre os métodos EL e SD. Por outro lado, para o caso de (EL-SD), o erro manteve-se praticamente constante e com valores sempre significativamente mais baixos (abaixo de 15%) do que (CC-SD). Além disso, o erro (CC-SD) apresenta uma tendência de ficar ainda maior conforme as dimensões do dispositivo são aumentadas. Ou seja, ao passo que os métodos SD e EL apresentam uma tendência similar, o método CC mostra-se ser menos confiável com o aumento de L .

Figura 3 – Erro relativo percentual da tensão de limiar assumindo V_{TH} do método SD como valor verdadeiro em relação ao V_{TH} dos métodos: CC e EL



Fonte: Autoria própria (2020).

CONCLUSÕES

Neste trabalho, três técnicas de extração de um parâmetro elétrico importante para transistores MOSFETs e finFETs (tensão de limiar) foram estudadas. Embora tenha sido identificado em ambos os métodos um deslocamento no valor de tensão de limiar para valores positivos com a diminuição do comprimento de canal, apenas o da segunda derivada e o da extrapolação linear tiveram resultados mais próximos, com erro máximo de até 15%. Para explicar a dependência da tensão de limiar com o comprimento de canal, alguns efeitos foram mencionados, como as influências das resistências séries parasitas que podem diminuir a queda de tensão na região de canal; da camada de SiO₂ que age como uma barreira potencial; e da largura da faixa proibida do germânio que pode reduzir a função de trabalho do semiconductor. Portanto, apesar de as técnicas da segunda derivada e da extrapolação linear exigirem um tratamento de dados adicional, eles mostram-se mais confiáveis do que a técnica da corrente constante.

AGRADECIMENTOS

Os autores agradecem à Universidade Tecnológica Federal do Paraná pela bolsa de Iniciação Científica concedida à acadêmica Isabella Cristina Scotta e ao Imec por ter fabricado os dispositivos.

REFERÊNCIAS

BHATTACHARYA, D.; JHA, N. FinFETs: from devices to architectures. **Advances in Electronics**, v. 2014, p. 21–55, set. 2014. Disponível em: <https://www.hindawi.com/journals/aelc/2014/365689/>. Acesso em: 26 ago. 2020.

CHIARELLA, T. et al. Benchmarking SOI and bulk finFET alternatives for planar CMOS scaling succession. **Solid-State Electronics**, v. 54, n. 9, p. 855–860, set. 2010. DOI [10.1016/j.sse.2010.04.010](https://doi.org/10.1016/j.sse.2010.04.010). Acesso em: 26 ago. 2020.

COLINGE, J.-P. **FinFETs and other multi-gate transistors**. 1. ed. Cambridge: Springer Publishing Company, 2007.

CUNHA, F; CASTRO, J. **Cálculo Numérico – Licenciatura em Matemática**. 1. ed. Fortaleza: Ministério da Educação, 2010.

DOBRESCU, L. et al. Threshold voltage extraction methods for MOS transistors. *In*: INTERNATIONAL SEMICONDUCTOR CONFERENCE, Sinaia. **Anais...** Sinaia: IEEE 2000. DOI [10.1109/SMICND.2000.890257](https://doi.org/10.1109/SMICND.2000.890257). Acesso em: 26 ago. 2020.

GEHLAWAT, N.; SAINI, G. Random dopant induced threshold voltage variation analysis of asymmetric spacer finFETs. *In*: INTERNATIONAL CONFERENCE ON TRENDS IN ELECTRONICS AND INFORMATICS, 2017, Tirunelveli. **Anais...** Tirunelveli: IEEE, 2018. DOI [10.1109/ICOEI.2017.8300848](https://doi.org/10.1109/ICOEI.2017.8300848). Acesso em: 26 ago. 2020.

HISAMOTO, D. et al. FinFET a self-aligned double-gate MOSFET scalable to 20 nm. **IEEE Transactions on Electron Devices**, v. 47, n. 12, p. 2320–2325, dez. 2000. DOI [10.1109/16.887014](https://doi.org/10.1109/16.887014). Acesso em: 26 ago. 2020.

HORIGUCHI, N. et al. FinFETs and their futures. In: NAZAROV A.; COLINGE JP.; BALESTRA F.; RASKIN JP.; GAMIZ F.; LYSENKO V. (eds) **Semiconductor-on-insulator materials for nanoelectronics applications. engineering materials**, Springer, Heidelberg, p. 141–153, fev. 2011.

LOO, R. et al. High-quality Ge virtual substrates on Si wafers with standard STI patterning. **Journal of The Electrochemical Society**, v. 157, n. 1, h13–h21, nov. 2010. DOI [10.1149/1.3244564](https://doi.org/10.1149/1.3244564). Acesso em: 26 ago. 2020.

MARTINO, J.; PAVANELLO, M.; VERDONCK, P. **Caracterização elétrica de tecnologia e dispositivos MOS**. 1. ed. São Paulo: Thomson, 2003.

LIN, D. et al. A novel method of MOSFET series resistance extraction featuring constant mobility criteria and mobility universality. **IEEE Transactions on Electron Devices**, v. 57, n. 4, p. 890–897, mar. 2010. DOI [10.1109/TED.2010.2041508](https://doi.org/10.1109/TED.2010.2041508). Acesso em: 26 ago. 2020.

OLIVEIRA, A. V. **Estudo de transistores de porta tripla (FinFETs) de silício e de germânio**. 2016.. Tese (Doutorado em Ciências) – Escola Politécnica, Universidade de São Paulo, São Paulo. 2016. DOI [10.11606/T.3.2017.tde-21032017-152959](https://doi.org/10.11606/T.3.2017.tde-21032017-152959). Acesso em: 2020-08-25.

ORTIZ-CONDE, A. et al. Revisiting MOSFET threshold voltage extraction methods. **Microelectronics Reliability**, v. 53, n. 1, p. 90–104, set. 2013. DOI [10.1016/j.microrel.2012.09.015](https://doi.org/10.1016/j.microrel.2012.09.015). Acesso em: 26 ago. 2020.

POURTOIS, G. et al. Threshold voltage shifts in Si passivated (100) Ge p-channel field effect transistors: insights from first-principles modeling. **Applied Physics Letters**, v.91, jul. 2007. DOI [10.1063/1.2756367](https://doi.org/10.1063/1.2756367). Acesso em: 26 ago. 2020.

SHIN, C. et al. Random dopant fluctuation-induced threshold voltage variation-immune ge finfet with metal–interlayer–semiconductor source/drain. **IEEE Transactions on Electron Devices**, v. 63, n. 11, p. 4167–4172, nov. 2016. DOI [10.1109/TED.2016.2606511](https://doi.org/10.1109/TED.2016.2606511). Acesso em: 26 ago. 2020.

SIMOEN, E. et al. High doping density/high electric field, stress and hetero junction effects on the characteristics of CMOS compatible p-n junctions. **Journal of The Electrochemical Society**, v. 158, r27, jan. 2011. DOI [10.1149/1.3555103](https://doi.org/10.1149/1.3555103). Acesso em: 26 ago. 2020.

SIMOEN, E. et al. Is there an impact of threading dislocations on the characteristics of devices fabricated in strained-Ge substrates?. **Physica Status Solidi (c)**, v. 6, p. 1912–1917, ago. 2009. DOI [10.1002/pssc.200881446](https://doi.org/10.1002/pssc.200881446). Acesso em: 26 ago. 2020.

TAKAGI, S.; TAKENAKA, M. High mobility CMOS technologies using III–V/Ge channels on Si platform. **Solid-State Electronics**, v. 88, p. 2–8, out. 2013. DOI [10.1109/ULIS.2012.6193342](https://doi.org/10.1109/ULIS.2012.6193342). Acesso em: 26 ago. 2020.

TYAGI, S. et al. Threshold voltage extraction techniques for device @16 nm technology node. *In*: INTERNATIONAL CONFERENCE ON SMART SENSORS AND SYSTEMS(IC-SSS), Bangalore. **Anais...** Bangalore: IEEE, 2015, p. 1–6. DOI [10.1109/SMARTSENS.2015.7873598](https://doi.org/10.1109/SMARTSENS.2015.7873598). Acesso em: 26 ago. 2020.

VAN DAL, M. J. H. et al. Germanium p-channel FinFET fabricated by aspect ratio trapping. **IEEE Transactions on Electron Devices**, v. 61, n. 2, p. 430–436, fev. 2014. DOI [10.1109/TED.2013.2295883](https://doi.org/10.1109/TED.2013.2295883). Acesso em: 26 ago. 2020.

VILLATE, J. **Eletricidade, magnetismo e circuitos**. 1 ed. Stanford: Creative Commons, 2014.

WITTERS, L. et al. Strained germanium quantum well pMOS FinFETs fabricated on in situ phosphorus-doped SiGe strain relaxed buffer layers using a replacement fin process. *In*: IEEE INTERNATIONAL ELECTRON DEVICES MEETING, Washington. **Anais...** Washington: IEEE, 2013. DOI [10.1109/IEDM.2013.6724669](https://doi.org/10.1109/IEDM.2013.6724669). Acesso em: 26 ago. 2020.